

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000045351 A
(43)Date of publication of application: 15.07.2000

(21)Application number: 1019980061909
(22)Date of filing: 30.12.1998

(71)Applicant: HYUNDAI ELECTRONICS
IND. CO., LTD.

(72)Inventor: KIM, JEONG TAE
LEE, SANG HYEOP

(51)Int. Cl. H01L 21/28

(54) METHOD FOR FORMING METAL WIRING CONTACT

(57) Abstract:

PURPOSE: A method for forming a metal wiring contact is provided to improve a burial characteristic and to reduce a contact resistance.

CONSTITUTION: A method for forming a metal wiring contact comprises the steps of forming an interlayer dielectric(22) in which a metal wiring contact hole is formed so as to expose a semiconductor substrate(21), forming a first titanium layer(23) in the contact hole by a plasma vapor deposition method, forming a second titanium layer(24) on the first titanium layer(23) by a plasma enhanced chemical vapor deposition method, forming a titanium nitride layer(25) on the second titanium layer(24) by a chemical vapor deposition method so as to bury the contact hole sufficiently, and forming an aluminum layer(26) on the titanium nitride layer(25) by a plasma vapor deposition method.

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20010528)

Patent registration number (1003078270000)

Date of registration (20010824)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ H01L 21/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년11월02일 10-0307827 2001년08월24일
(21) 출원번호 (22) 출원일자 (73) 특허권자	10-1998-0061909 1998년12월30일 주식회사 하이닉스반도체	(65) 공개번호 (43) 공개일자 특2000-0045351 2000년07월15일
(72) 발명자	김정태 박종섭 경기 이천시 부발읍 아미리 산136-1 서울특별시 강동구 천호1동 46-5 우정아파트 401호 이상협 경기도 성남시 분당구 아람동 목련마을 영남아파트 503-1304 이정훈, 이호동	
(74) 대리인	이정훈, 이호동	

심사관 : 권민희

(54) 반도체소자의 금속배선 콘택 형성방법

요약

본 발명은 반도체소자의 금속배선 콘택 형성방법에 관한 것으로, 금속배선 콘택홀을 형성하고, 물리기상 증착(physical vapor deposition, PVD)방법으로 Ti층을 얇게 형성한 후, 계속해서 화학기상증착(chemical vapor deposition, CVD)방법으로 Ti층을 증착하여 2중구조의 희생확산방지막을 형성한 다음, CVD방법으로 TiN층을 증착하여 상기 금속배선 콘택홀을 매립한 후, 상기 TiN층 상부에 PVD방법으로 Si층을 형성함으로써 상기 금속배선 콘택홀의 입구에 오버행(over hang)이 형성되어 상기 금속배선 콘택홀 내부에 키홀(key hole)이 형성되는 것을 방지하여 매립 특성을 향상시키고, 상기 PVD방법으로 Ti층을 형성하여 상기 CVD방법에 의한 Ti층 형성시 반도체기판이 TiCl₄가스의 Cl기에 의해 침식되는 것을 방지하여 콘택 저항을 감소시키고 그에 따른 반도체소자의 수율 및 특성을 향상시키는 기술이다.

도표도

도2

명세서

도면의 간단한 설명

도 1 은 종래기술에 따른 반도체소자의 금속배선 콘택 형성방법을 도시한 단면도.

도 2 는 본 발명에 따른 반도체소자의 금속배선 콘택 형성방법을 도시한 단면도.

<도면의 주요부분에 대한 부호 설명>

- | | |
|----------------|-------------------|
| 11, 21 : 반도체기판 | 12, 22 : 층간절연막 |
| 13 : Ti층 | 14, 25 : TiN층 |
| 15 : W층 | 16 : 키홀(key hole) |
| 23 : 제1Ti층 | 24 : 제2Ti층 |
| 26 : Al층 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 금속배선 콘택 형성방법에 관한 것으로서, 특히 금속배선 콘택홀 매립시 PVD 및 CVD방법으로 Ti층을 연속적으로 형성하여 2중구조의 희생확산방지막을 형성한 다음, 상기 금속배선 콘택홀을 TiN층을 CVD방법으로 매립하여 상기 금속배선 콘택홀의 입구에 오버행이 형성되는 것을 방지하여 매립 특성을 향상시키고, 콘택 저항 및 누설전류를 감소시켜 소자의 동작속도를 향상시키는 방법에 관한 것이다.

일반적으로, 소자간이나 소자와 외부회로 사이를 전기적으로 접속시키기 위한 반도체소자의 배선은, 배선을 위한 소정의 콘택홀 및 비마홀을 배선재료로 매립하여 배선층을 형성하고, 후속 공정을 거쳐 이루어지

며 낮은 저항을 필요로 하는 곳에는 금속배선을 사용한다.

상기 금속배선은 알루미늄(Al)에 소량의 실리콘이나 구리가 포함되거나 실리콘과 구리가 모두 포함되어 비저항이 낮으면서 가공성이 우수한 알루미늄합금을 배선재료로 하여 물리기상증착(physical vapor deposition, 이하 PVD 라 함)방법의 스퍼터링으로 상기의 콘택홀 및 비아홀을 매립하는 방법으로 형성된다.

근래에는 반도체소자의 초고집적화에 따라 금속배선 콘택의 크기는 작아지고, 단차비는 높아져서 스퍼터링에 의한 금속배선의 충당률이 불량하게 되어 신뢰성을 얻기가 어려워졌다.

이하, 첨부된 도면을 참고로하여 종래기술에 대하여 살펴보기로 한다.

도 1 은 종래기술에 따른 반도체소자의 금속배선 콘택 형성방법을 도시한 단면도이다.

먼저, 워드라인 및 비트라인 등의 하부구조물이 구비되어 있는 반도체기판(11) 상부에 층간절연막(12)을 형성한다.

그 다음, 상기 층간절연막(12) 상부에 금속배선 콘택으로 예정되는 부분을 노출시키는 감광막 패턴(도시안됨)을 형성한다.

다음, 상기 감광막 패턴을 식각마스크로 사용하여 상기 층간절연막(12)을 식각하여 금속배선 콘택홀을 형성한 후, 상기 감광막 패턴을 제거한다.

그 다음, 상기 구조 표면에 물리기상증착(physical vapor deposition, 이하 PVD 라 함)방법으로 Ti층(13)을 형성한다.

다음, 상기 Ti층(13) 상부에 PVD방법으로 TiN층(14)을 형성한다.

그 후, 상기 TiN층(14) 상부에 상기 금속배선 콘택홀을 매립하는 W층(15)을 형성한다.

상기와 같이 종래기술에 따른 반도체소자의 금속배선 콘택 형성방법은,

차세대 반도체소자의 금속배선 콘택은 콘택의 크기가 0.25 μ m 이하이고, 애스펙트비(aspect ratio)가 100 이상으로 매우 좁고 깊어지게 되므로, 기존의 방식대로 PVD Ti 및 TiN층을 형성한 다음 W층을 형성하고, 후속 식각 및 계속해서 Al층과 같은 금속층을 형성하는 데에 제약을 받는다. 상기 PVD Ti 및 TiN층은 충분한 전기적 특성을 확보하기 위하여 수백 Å 두께로 형성하여야 하는데, PVD방법은 충당률이 나빠서 금속배선 콘택홀의 상부에 오버행(overhang)이 형성되어 상기 금속배선 콘택홀의 입구가 좁아지게 되고, 도 1 에 도시된 바와 같이 키홀(key hole)이 형성되어 소자의 전기적 특성을 저하시키게 되고, 상기 W층의 식각공정시 식각가스에 의해 큰 손상을 받아 금속배선 콘택홀 내부에는 상기 W층이 거의 남아있지 않게 된다. 한편, 금속배선 콘택에 TiCl₄ 증착용 소오스를 이용한 CVD Ti층을 적용하는 경우, CVD Ti 또는 CVD TiN층은 충당률이 우수하여 상기 PVD Ti층 보다도 약 1/4 이하의 얇은 두께를 사용할 수 있으나, 상기 CVD Ti층의 경우 상기 TiCl₄ 소오스 내에 존재하는 Cl기가 고온에서 Ti층 형성시 반도체기판에 영향을 미쳐 상기 반도체기판이 손상되어 콘택저항 및 누설전류가 증가하고, 그에 따른 소자의 특성 및 신뢰성이 저하되는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 금속배선 콘택홀 내부에 PVD방법으로 소정 두께의 제1Ti층을 형성하고 계속해서 상기 제1Ti층 상부에 CVD방법으로 제2Ti층을 형성하여 2중구조의 회생확산방지막을 형성하고, 상기 제2Ti층 상부에 상기 금속배선 콘택홀을 매립하는 TiN층을 CVD방법으로 형성하여 상기 금속배선 콘택홀의 상부에서 오버행이 형성되는 것을 방지함으로써 매립 특성을 향상시켜 키홀이 발생하는 것을 방지하고, 콘택 저항 및 누설전류를 감소시키며 그에 따른 소자의 동작 속도 및 수율을 향상시키는 반도체소자의 금속배선 콘택 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 금속배선 콘택 형성방법은,

소정의 하부구조물이 형성되어 있는 반도체기판 상부에 금속배선 콘택으로 예정되는 부분을 노출시키는 금속배선 콘택홀이 구비된 층간절연막을 형성하는 공정과,

상기 금속배선 콘택홀 내부에 PVD방법으로 제1Ti층을 형성하는 공정과,

상기 제1Ti층 상부에 PECVD 방법으로 제2Ti층을 형성하는 공정과,

상기 제2Ti층 상부에 CVD방법으로 TiN층을 형성하고, 상기 금속배선 콘택홀이 매립되도록 형성하는 공정과,

상기 TiN층 상부에 PVD방법으로 Al층을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 본 발명에 따른 반도체소자의 금속배선 콘택 형성방법에 관하여 첨부 도면을 참조하여 상세히 설명한다.

도 2 는 본 발명에 따른 반도체소자의 금속배선 콘택 형성방법을 도시한 단면도이다.

먼저, 워드라인(도시안됨) 및 비트라인(도시안됨) 등의 하부구조물이 형성되어 있는 반도체기판(21) 상부에 층간절연막(22)을 형성한다.

다음, 상기 층간절연막(22) 상부에 금속배선 콘택으로 예정되는 부분을 노출시키는 감광막 패턴(도시안

됨)을 형성한다.

그 다음, 상기 감광막 패턴을 식각마스크로 상기 층간절연막(22)을 식각하여 금속배선 콘택홀(도시안됨)을 형성하고, 상기 감광막 패턴을 제거한다.

다음, 전체표면 상부에 PVD방법을 사용하여 제1Ti층(23)을 10 ~ 100 Å 두께로 형성한다. 이때, 상기 제1Ti층(23)은 콘택홀의 애스펙트비가 크서 충진율이 나쁘기 때문에 가능한한 얇게 형성하여 상기 금속배선 콘택홀 상부에서 오버행이 형성되는 것을 방지한다. 또한, 상기 제1Ti층(23)은 후속 PECVD방법을 사용한 Ti층의 형성공정시 $TiCl_4$ 가스내의 Cl기에 의한 반도체기판(21)의 침식을 방지한다.

그 다음, 600 ~ 800°C의 온도에서 N_2 , Ar 또는 NH_3 가스 또는 그 혼합가스 분위기에서 급속열처리(rapid thermal annealing, RTA)공정을 10 ~ 120초간 실시한다.

그리고, 상기 제1Ti층(23) 상부에 플라즈마여기증착방법(plasma enhanced chemical vapor deposition, 이하 PECVD 라 함)방법을 사용하여 제2Ti층(24)을 형성한다. 이때, 상기 제2Ti층(24)은 $TiCl_4$ 가스를 소오스로 사용하여 400 ~ 700°C의 온도 및 0.1 ~ 20torr의 압력하에서 100 ~ 1000W의 RF 파워를 인가하여 형성하되, 10 ~ 1000sccm의 Ar가스와 100 ~ 10000sccm의 N_2 가스를 증착가스로 사용한다.

다음, 상기 제2Ti층(24) 상부에 TiN층(25)을 형성하되, 상기 금속배선 콘택홀이 매립되도록 형성한다. 이때, 상기 TiN층(25)은 $TiCl_4$ 가스를 소오스로 사용하여 400 ~ 700°C의 온도 및 0.1 ~ 100torr의 압력하에서 형성하되, 10 ~ 1000sccm의 Ar가스와 100 ~ 5000sccm의 N_2 가스를 증착가스로 사용하고, 100 ~ 1000sccm의 NH_3 가스를 반응성가스로 사용하여 열분해방식으로 형성한다. 또한, 100 ~ 1000W의 RF 파워를 인가하여 PECVD방법으로 형성할 수 있다.

그 다음, 상기 TiN층(25)의 비저항이 130 ~ 170 $\mu ohmcm$ 로 다소 높기 때문에 배선저항을 낮추기 위하여 상기 TiN층(25) 상부에 Al층(26)을 PVD방법으로 형성한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 금속배선 콘택 형성방법은, 금속배선 콘택홀을 형성하고, PVD방법으로 Ti층을 얇게 형성한 후, 계속해서 CVD방법으로 Ti층을 증착하여 2중구조의 희생막 산방지막을 형성한 다음, CVD방법으로 TiN층을 증착하여 상기 금속배선 콘택홀을 매립한 후, 상기 TiN층 상부에 PVD방법으로 Al층을 형성함으로써 상기 금속배선 콘택홀의 입구에 오버행이 형성되어 상기 금속배선 콘택홀 내부에 키홀이 형성되는 것을 방지하여 매립 특성을 향상시키고, 상기 PVD방법으로 Ti층을 형성하여 상기 CVD방법에 의한 Ti층 형성시 반도체기판이 $TiCl_4$ 가스의 Cl기에 의해 침식되는 것을 방지하여 콘택 저항을 감소시키고 그에 따른 반도체소자의 수율 및 특성을 향상시키는 이점이 있다.

(5) 청구의 범위

청구항 1

소정의 하부구조물이 형성되어 있는 반도체기판 상부에 금속배선 콘택으로 예정되는 부분을 노출시키는 금속배선 콘택홀이 구비된 층간절연막을 형성하는 공정과,

상기 금속배선 콘택홀 내부에 PVD방법으로 제1Ti층을 형성하는 공정과,

상기 제1Ti층 상부에 PECVD 방법으로 제2Ti층을 형성하는 공정과,

상기 제2Ti층 상부에 CVD방법으로 TiN층을 형성하되, 상기 금속배선 콘택홀이 매립되도록 형성하는 공정과,

상기 TiN층 상부에 PVD방법으로 Al층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 금속배선 콘택 형성방법.

청구항 2

제 1 항에 있어서,

상기 제1Ti층은 10 ~ 100 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 콘택 형성방법.

청구항 3

제 1 항에 있어서,

상기 제1Ti층을 형성한 다음, 600 ~ 800°C의 온도에서 N_2 , Ar 또는 NH_3 가스 또는 그 혼합가스 분위기에서 급속열처리공정을 10 ~ 120초간 실시하는 것을 특징으로 하는 반도체소자의 금속배선 콘택 형성방법.

청구항 4

제 1 항에 있어서,

상기 제2Ti층은 $TiCl_4$ 가스를 소오스로 사용하여 400 ~ 700°C의 온도 및 0.1 ~ 20torr의 압력하에서 100 ~ 1000W의 RF 파워를 인가하여 형성하되, 10 ~ 1000sccm의 Ar가스와 100 ~ 10000sccm의 N_2 가스를 증착가스로 사용하여 형성하는 것을 특징으로 하는 반도체소자의 금속배선 콘택 형성방법.

청구항 5

제 1 항에 있어서,

상기 TiN층은 $TiCl_4$ 가스를 소오스로 사용하여 $400 \sim 700^\circ C$ 의 온도 및 $0.1 \sim 100$ torr의 압력하에서 형성하되, $10 \sim 1000$ sccm의 Ar가스와 $100 \sim 5000$ sccm의 N_2 가스를 증착가스로 사용하고, $100 \sim 1000$ sccm의 NH_3 가스를 반응성가스로 사용하여 열분해방식으로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 콘택 형성방법.

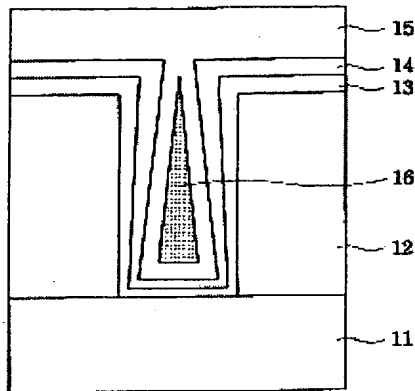
청구항 6

제 1 항에 있어서,

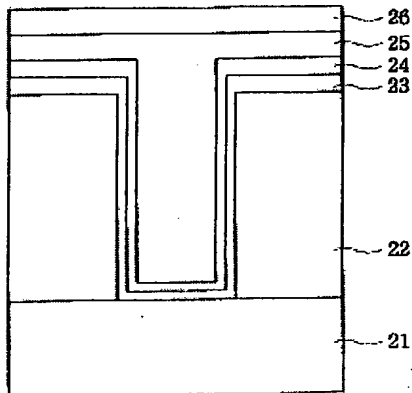
상기 TiN층은 $100 \sim 1000W$ 의 RF 파워를 인가하여 PECVD방법으로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 콘택 형성방법.

도면

도면1



도면2



BEST AVAILABLE COPY